



Jornadas SARTECO

sarteco 12-14 septiembre 2018, Teruel



Organizan



sarteco



Departamento de
Informática e Ingeniería
de Sistemas
Universidad Zaragoza



Escuela Universitaria
Politécnica - Teruel
Universidad Zaragoza



Vicerrectorado para
el Campus de Teruel
Universidad Zaragoza



Fundación
Universitaria
Antonio Gargallo

Colaboran

Información en línea

Guía online



Mapa interactivo



Actas (clave: jorn4d4s2018)



Twitter:

[@2018sarteco](https://twitter.com/2018sarteco)

Red WIFI:

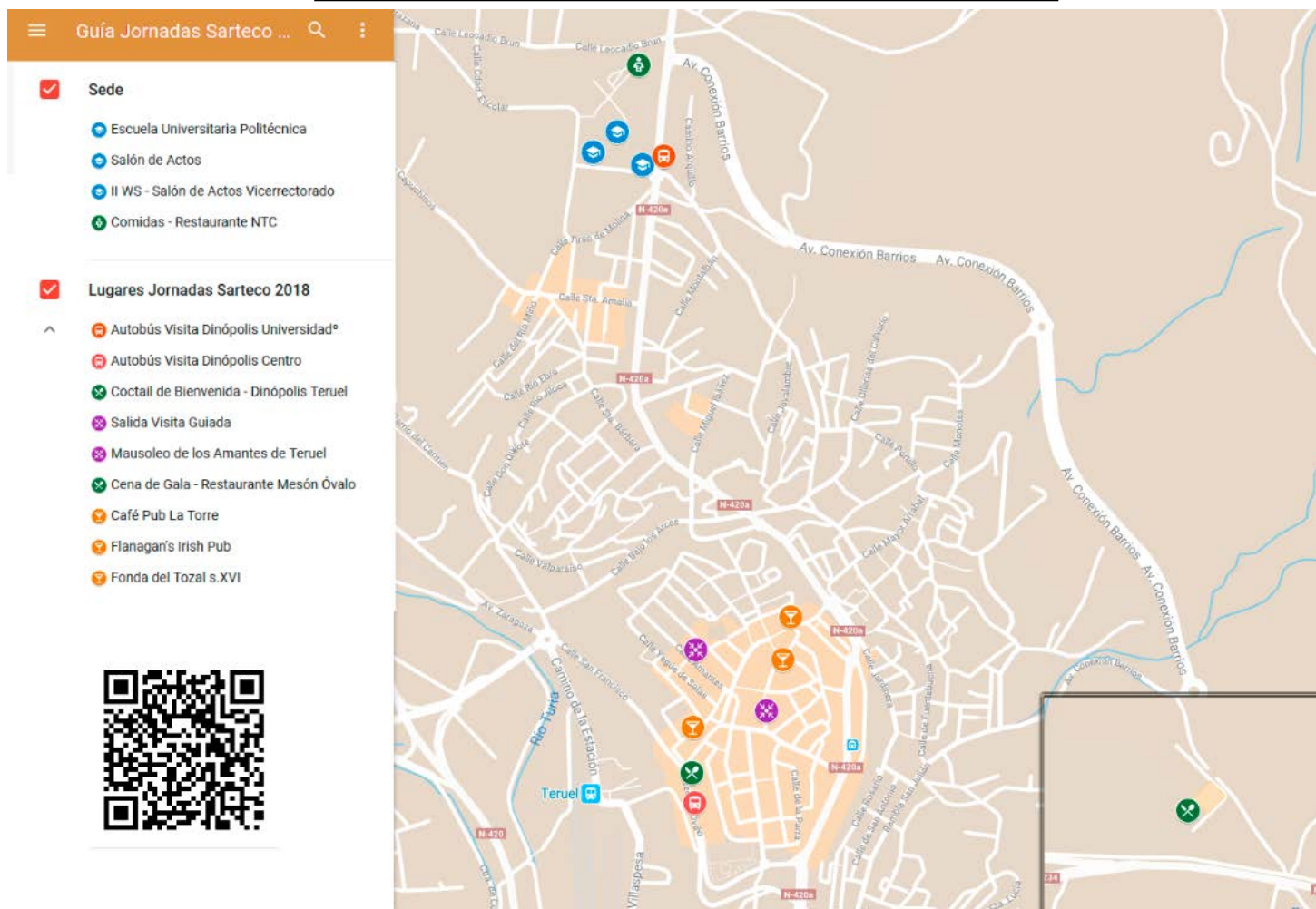
wiuz

Usuario: sarteco

Clave: sarteco2018

Ubicación

Mapa General



Actividades sociales

Evento	Horario
Salida Autobús desde la Universidad para Visita a Dinópolis y Cocktail de Bienvenida	Miércoles 12 19:40
Salida Autobús desde el Centro (Óvalo) para Visita a Dinópolis y Cocktail de Bienvenida	Miércoles 12 19:45
Salida para visita Centro Histórico y Mausoleo de los Amantes (Plaza de la Catedral)	Jueves 13 19:00
Cena de gala en El Mesón El Óvalo	Jueves 13 22:00
Excursión a Albarracín (Salida desde la EUPT)	Viernes 14 15:45

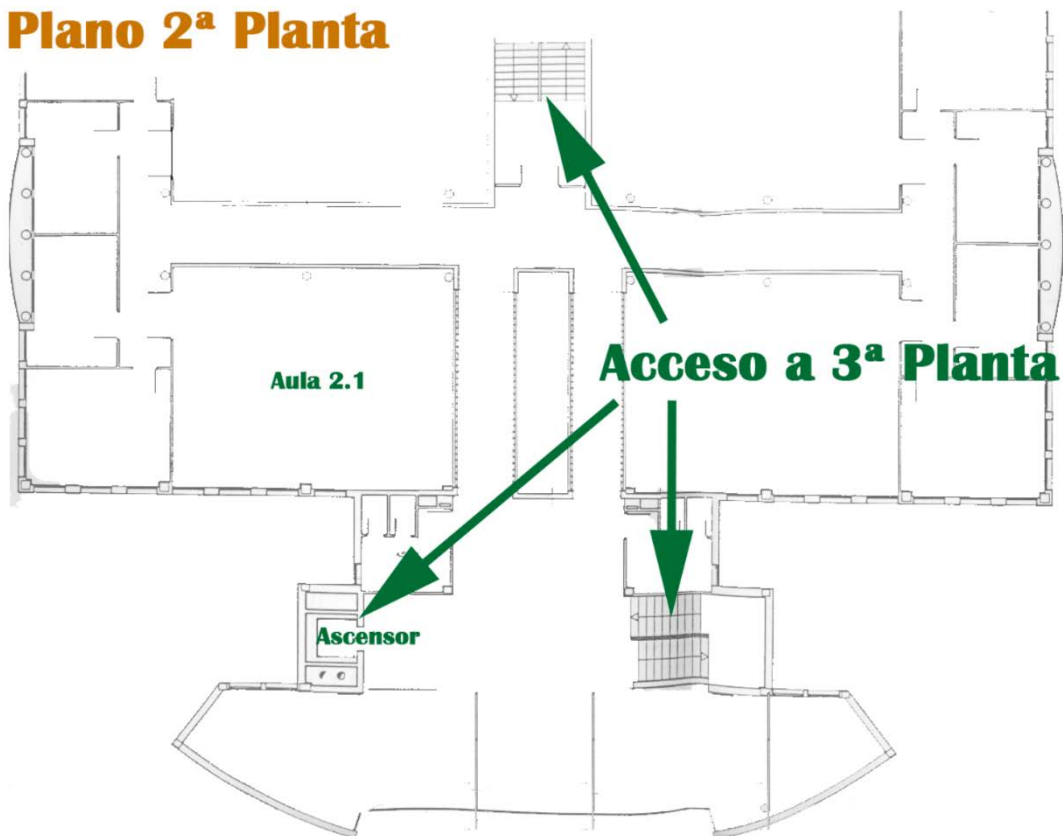
Ubicación

Mapa Campus

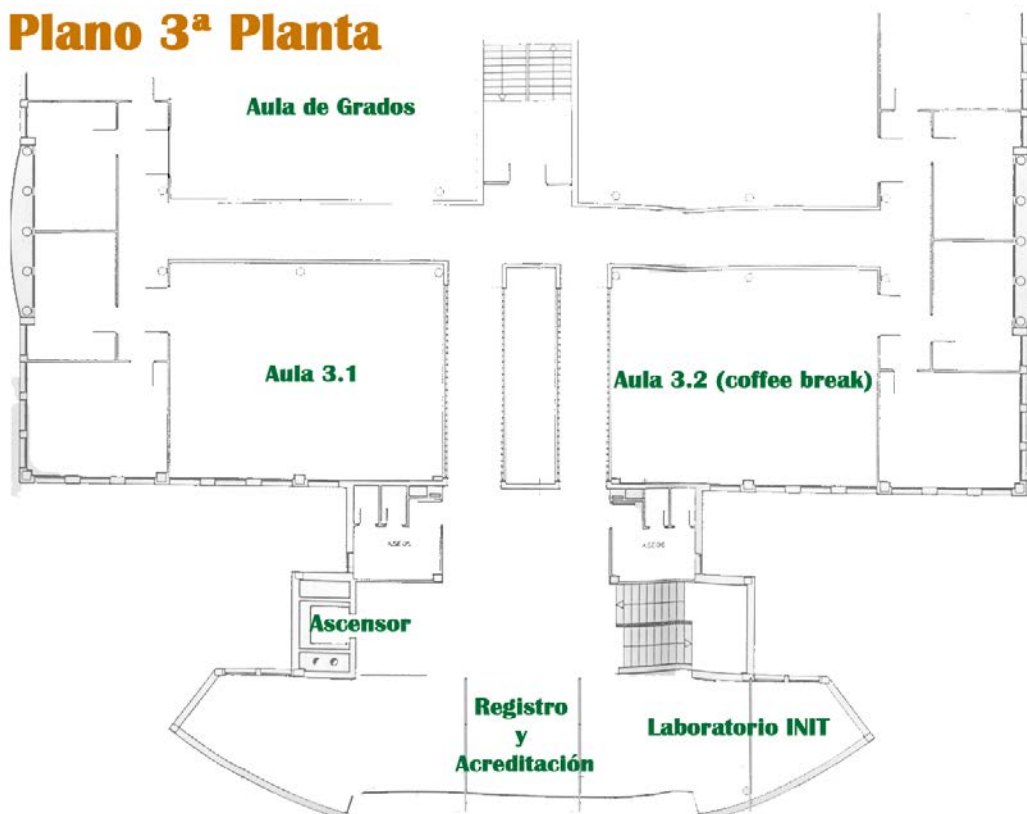


Edificio Congreso: EUPT (plantas 2 y 3)

Plano 2ª Planta



Plano 3ª Planta



Programa general – Miércoles 12

8:30 a 9:00	Registro y acreditación (Planta 3 - Escuela Universitaria Politécnica)		
9:00 a 9:30	Inauguración, Lugar: Salón de Actos "Amparo Sánchez"		
9:30 a 10:30	Keynote 1: Leonardo María Reyneri, Chair: Jesús González Peñalver, Lugar: Salón de Actos "Amparo Sánchez"		
10:30 a 11:00	Pausa Café (Aula 3.2)		
11:00 a 12:20	JP: Aplicaciones de la computación de altas prestaciones (I). Chair: Javier García Blas. Lugar: Aula 2.1	JP: Lenguajes, compiladores y herramientas de programación y ejecución paralela (I). Chair: Arturo González Escribano. Lugar: Aula 3.1	JCER: Vehículos inteligentes. Chair: Gabriel Mújica Rojas. Lugar: Aula de Grados
	#5: Explorando el uso de arrays de bits en el análisis de la hidroximetilación del ADN, Lisardo Fernández, Luis Orduña, Mariano Pérez-Martínez and Juan M. Orduña	#11: A Scheduling Theory Framework for GPU Tasks Efficient Execution, Antonio Lázaro-Muñoz, Jose González-Linares, Bernabé López-Albelda and Nicolás Guil	#1: Distribución del tráfico vehicular en áreas urbanas: clasificación y análisis, Jorge Luis Zambrano-Martínez, Carlos Calafate, David Soler, Juan-Carlos Cano and Pietro Manzoni
	#6: Uso de Objetos Paralelos para la decodificación de texto mediante frecuencias de palabras, Mario Rossainz López, Manuel I. Capel Tuñón, Barbara Sanchez and Diego Alonso Sarmiento Rojas	#14: GLTO: una Implementación de OpenMP sobre Hilos Ligeros, Adrián Castelló, Rafael Mayo, Sangmin Seo, Pavan Balaji, Enrique S. Quintana-Ortí and Antonio J. Peña	#2: MBCAP: Protocolo de Evitación de Colisiones para Vehículos Aéreos No Tripulados, Francico Fabra, Carlos T Calafate, Juan Carlos Cano and Pietro Manzoni
	#8: Computación óptima en el control de inventarios de productos perecederos basada en Value Iteration, Eligius M.T. Hendrix, Gloria Ortega and Inmaculada García	#16: Memoria Transaccional Software en Procesadores CPU+GPU Heterogéneos, Alejandro Villegas, Angeles Navarro, Rafael Asenjo and Oscar Plata	#62: A low-cost SVM classifier on FPGA for pedestrian detection, Vinh Ngo, Arnau Casadevall, Marc Codina, David Castells and Jordi Carrabina
	#12: Algoritmo Multi-objetivo de Murciélagos para Reconstrucción Filogenética en Procesadores Multicore, Sergio Santander-Jiménez, Miguel A. Vega-Rodríguez and Leonel Sousa	#29: Compilador source-to-source, para la paralelización automática de códigos secuenciales, orientado a la gestión eficiente de recursos en centros de Computación de Alto Rendimiento, Javier Corral García, José Luis González Sánchez and Miguel Ángel Pérez Toledano	#66: Generador de Trazas Vehiculares, Mirialys Machin, Julio Sangüesa, Piedad Garrido and Francisco Martínez
12:20 a 12:30	Descanso / Cambio de aula		
12:30 a 13:50	JP: Evaluación de prestaciones (I). Chair: Jesús Escudero Sahuquillo. Lugar: Aula 2.1	JP: Tecnologías Grid, clúster, plataformas distribuidas y Big Data. Chair: Gloria Ortega. Lugar: Aula 3.1	JCER: Comunicaciones e IoT. Chair: Julián Caba Jiménez. Lugar: Aula de Grados
	#13: Estudio comparativo del tiempo de ejecución de simuladores de propagación de incendios forestales en CPUs y GPUs, Carlos Carrillo, Tomás Margalef, Antonio Espinosa and Ana Cortés	15: Mejorando la eficiencia energética de SMACOF en arquitecturas modernas, Francisco José Orts Gómez, Ernestas Filatovas, Gloria Ortega, Olga Kurasova and Gracia Ester Martín Garzón	#45: Monitorización con FPGAs de flujos y sesiones TCP en enlaces de 40 Gbit/s, Tobías Alonso, Mario Daniel Ruiz Noguera, Gustavo Sutter, Cristian Sisterna, Sergio Lopez Buedo and Jorge E. Lopez de Vergara
	#17: Heterogeneous MultiGPU Dynamic Load Balancing using Energy Criteria, Alberto Cabrera, Alejandro Acosta, Francisco Almeida and Vicente Blanco	#26: Red neuronal profunda distribuida para compresión de imágenes hiperspectrales, Juan M. Haut, Mercedes E. Paoletti, Jose Antonio Gallardo, Javier Plaza and Antonio Plaza	#46: FPGA Efficient Checksum Computation for Multi-Gigabits per Second Networks, Mario Ruiz, Tobías Alonso, Gustavo Sutter and Sergio López-Buedo
	#18: Precisión vs. Coste Computacional en la Simulación de Sistemas Distribuidos, Adrian Colaso, Pablo Prieto, José Ángel Herrero, Pablo Abad, José Ángel Gregorio and Valentín Puente	#74: Cloudlet Scheduling in Heterogeneous Virtual Machine Cloud Environments, Sergi Vila, Fernando Guirado and Josep Lluís Llérida	#55: Distributed Code Dissemination Strategy for IoT Collaborative Reprogramming on the Edge, Gabriel Mujica, Jorge Portilla and Teresa Riesgo
	#19: Estimación Automática del Coste de Comunicación de Aplicaciones Paralelas en Plataformas Heterogéneas, Sergio Moreno Álvarez, Juan Antonio Rico Gallego and Juan Carlos Díaz Martín	#77: Elasticidad vertical en trabajos encapsulados en contenedores Docker utilizando Marathon, Sergio López-Huguet and Ignacio Blanquer	#60: Security Layer for Modular Hardware Edge Node in the Internet of Things, Fernando Villa, Jorge Portilla, Gabriel Mujica and Teresa Riesgo

13:50 a 15:10	Almuerzo (Cafetería del Colegio Mayor)		
15:10 a 16:30	JP: Redes y Comunicaciones (I). Chair: Francisco Alfaro. Lugar: Aula 2.1	JP: Lenguajes, compiladores y herramientas de programación y ejecución paralela (II). Chair: Rubén Gran. Lugar: Aula 3.1	JP: Aplicaciones de la computación de altas prestaciones (II). Chair: Yuri Torres. Lugar: Aula de Grados
	#7: Evaluación de Protocolos de Encaminamiento para Redes Oportunistas en Escenarios con Alta Renovación de personas, Leonardo Chancay-García, Pietro Manzoni, Enrique Hernández-Orallo, Carlos Tavares Calafate and Juan-Carlos Cano	#30: Automatic Optimizations to Accelerated Mobile Applications, Sergio Afonso, Alejandro Acosta and Francisco Almeida	#23: Plataforma flexible y portable de reconstrucción para escáneres de rayos X acelerada con GPUs, Estefanía Serrano, Javier Garcia Blas, Jesus Carretero and Monica Abella
	#9: Protocolo de descubrimiento de vecinos asíncrono basado en leader para redes inalámbricas ad hoc, Jose Vicente Sorribes and Lourdes Peñalver	#31: Solapamiento transparente de tareas de comunicación y computación para mejor rendimiento de aplicaciones de GPU, Ismael José Taboada Rodero, Yuri Torres de La Sierra, Arturo Gonzalez-Escribano and Diego R. Llanos	#28: Using optical flow to increase robustness on real-time stixel segmentation, Pau Cebrian, Daniel Hernandez, Juan Carlos Moure and Antonio Espinosa
	#36: Caracterización de Cargas para Redes de Computación Exascale, José Duro, Salvador Petit, Julio Sahuquillo and Maria Gomez	#34: Mejora de aplicaciones basadas en procesamiento de flujo mediante GrPPI y múltiples back-ends de ejecución, Javier Garcia Blas, Jose Daniel Garcia, David Del Río Astorga and Jesus Carretero	#38: Una primera aproximación hacia la transcodificación de vídeo HEVC-JEM, David García Lucas, Gabriel Cebrián Márquez, Antonio Jesús Díaz Honrubia and Pedro Cuenca Castillo
	#41: Simulación y Evaluación de Transmisión de Vídeo en Redes Vehiculares, Pedro Pablo Garrido Abenza, Pablo Piñol Peral, Manuel Pérez Malumbres and Otoniel López Granado	#76: Explotando el Paralelismo de Tareas en la Factorización de Cholesky de Matrices Jerárquicas, José Ignacio Aliaga, Rocío Carratalá-Sáez and Enrique S. Quintana-Orti	#65: Aceleración de una Aplicación con Acceso Intensivo e Impredecible a los Datos en el Procesador Intel Xeon Phi KNL, José Manuel Herruzo Ruiz, Sonia Gonzalez-Navarro, Pablo Ibañez, Victor Vinals-Yufera, Jesús Alastruey-Benedé and Oscar Plata
16:30 a 17:00	Pausa Café (Aula 3.2)		
17:00 a 18:00	JP: Arquitecturas del subsistema de memoria y almacenamiento secundario. Chair Darío Suárez Lugar: Aula 2.1	JP: Evaluación de prestaciones (II). Chair: Julio A. Sangüesa Lugar: Aula 3.1	JP: Aplicaciones de la computación de altas prestaciones (III). Chair: José Cabaleiro Lugar: Aula de Grados
	#20: Mejora del Turnaround Time con la Tecnología CAT de Intel, Lucia Pons, Vicent Selfa, Julio Sahuquillo, Salvador Petit and Julio Pons	#27: Identificación del Comportamiento de Entrada Salida del Checkpoint Coordinado, Betzabeth León, Daniel Franco, Dolores Rexachs and Emilio Luque	#44: Mejora del rendimiento y de la eficiencia energética del algoritmo Best Order Sort sobre arquitecturas multicore y GPUs, Juan José Moreno Riado, Gloria Ortega López, Ernestas Filatovas, José Antonio Martínez García and Gracia Ester Martín Garzón
	#37: Mejora de las prestaciones de las GPU con una cache para búsquedas y reemplazos, Francisco Candel, David Baselga, Alejandro Valero, Salvador Petit and Julio Sahuquillo	#40: Aplicaciones contenedorizadas en entornos HPC. Caso práctico: aprendizaje automático aplicado a ciberseguridad en robots móviles, Ángel Manuel Guerrero-Higueras, Jesus Lorenzana, M ^a Del Carmen Calvo Olivera, Alvarez-Aparicio Claudia and Vicente Matellan	#48: Paralelización de la detección de una matriz copositiva mediante la evaluación de las facetas de un simplex unidad, José Manuel García Salmerón, Leocadio G. Casado and Eligius Hendrix
	#51: Mejora de las prestaciones del prefetcher para cargas multiprograma en el IBM POWER8, Carlos Navarro Sera, Josué Feliu Pérez, Salvador Petit, Maria Engracia Gomez Requena and Julio Sahuquillo		#59: Paralelización a nivel de frame de JEM, el nuevo estándar de vídeo, Miguel Martínez Rach, Hector Migallón Gomis, Otoniel Lopez Granado, Vicente Galiano Ibarra and Manuel Pérez Malumbres
18:00 a 19:30	II Encuentro WSARTECO de investigadoras en TIC, Lugar: Salón de Actos del Vicerrectorado		
20:00	Visita y Coctail de bienvenida en Dinópolis		

Programa general – Jueves 13

9:00 a 9:30	Registro y acreditación		
9:30 a 10:30	JP: Lenguajes, compiladores y herramientas de programación y ejecución paralela (III). Chair: Rafael Asenjo Plaza. Lugar: Aula 2.1	JP: Redes y Comunicaciones (II). Chair: Francisco J. Martínez. Lugar: Aula 3.1	JCER: Diseño de sistemas empotrados. Chair: Willian Jesús Zamora Mero. Lugar: Aula de Grados
	#39: Explotando el nuevo módulo OpenCL de Intel TBB, Jose Carlos Romero Moreno, Alejandro Villegas Fernández, María Ángeles González Navarro, Andrés Rodríguez Moreno and Rafael Asenjo Plaza	#58: D3R: Un nuevo algoritmo de encaminamiento para topologías Dragonfly en redes InfiniBand, German Maglione Mathey, Pedro Yebenes Segura, Jesus Escudero-Sahuquillo, Pedro Javier Garcia, Francisco J. Quiles and Eitan Zahavi	#22: Un nuevo Código de Corrección de Errores matricial con baja redundancia, Joaquín Gracia, Luis-J. Saiz-Adalid, Daniel Gil and Pedro Gil Vicente
	#52: Impacto en el rendimiento del paralelismo intratarea variable en modelos de programación basados en tareas, Antón Rey, Francisco D. Igual and Manuel Prieto-Matías	#61: Impacto de los Algoritmos de Encaminamiento sobre la Eficacia de los Esquemas de Colas en Redes de Interconexión de Altas Prestaciones, Jose Manuel Roher González, Jesús Escudero Sahuquillo, Pedro Javier García and Francisco José Quiles Flor	#50: RC-Mock: Mocking Framework para módulos hardware generados mediante HLS, Julian Caba, Fernando Rincón, Julio Dondo, Jesús Barba, Manuel J. Abaldea and Juan Carlos López
	#54: First Steps towards Performance and Energy Estimation of Computer Vision Applications in Hardware Accelerators, Alberto Alvarez, Ana Cristina Murillo Arnal and Darío Suárez Gracia		#70: Protección de software frente a radiación en procesadores multi-núcleo sin sistema operativo, Alejandro Serrano, Sergio Cuenca and Antonio Martínez Álvarez
10:30 a 12:00	Keynotes 2 y 3: Mateo Valero y Jesús Labarta, Chair: Víctor Viñals. Lugar: Salón de Actos "Amparo Sánchez"		
12:00 a 12:30	Pausa Café (Aula 3.2)		
12:30 a 13:50	JP: Evaluación de prestaciones (III). Chair: Ester Martín Garzón. Lugar: Aula 2.1	JP: Aplicaciones de la computación de altas prestaciones (IV): Chair: Jorge Fernández Fabeiro. Lugar: Aula 3.1	JCER: Aplicaciones. Chair: Jorge Luis Zambrano Martínez. Lugar: Aula de Grados
	#53: Caracterización de una FPGA sobre un sistema heterogéneo usando OpenCL, María Angélica Dávila Guzmán, Rubén Gran Tejero, María Villarroya Gaudó and Darío Suáres Gracia	#10: Selección Multi-objetivo de Características para Clasificación de EEGs con Paralelismo Multi-nivel en Clusters CPU-GPU, Juan José Escobar Pérez, Julio Ortega Lopera, Antonio F. Díaz, Jesús González Peñalver and Miguel Damas	#24: Computación empotrada de funciones de los sistemas de recomendación mediante FPGAs, Francisco Pajuelo Holguera, Juan Antonio Gómez Pulido, Arturo Durán Domínguez and Jose María Granado Criado
	#63: Towards a Big Data Multi-language Framework using Docker Containers, César Piñeiro, Rodrigo Martínez-Castaño and Juan C. Pichel	#67: Acelerando la Comparación de Huellas Dactilares basadas en Agrupaciones Deformables de Minucias, Andres Jesus Sanchez Fernandez, Luis Felipe Romero Gomez and Siham Tabik	#47: Optimización, caracterización y aceleración de un modelo de retina mediante el uso de metaheurísticas y algoritmos bioinspirados, Rubén Crespo-Cano, Alejandro Serrano-Cases, Eduardo Fernández, Sergio Cuenca-Asensi and Antonio Martínez-Álvarez
	#75: Método Paralelo para la Resolución de Ecuaciones de Ligadura en Moléculas Lineales, Rubén Langarita, Pablo Ibáñez, Jesús Alastruey-Benedé, Carl Christian Kjelgaard Mikkelsen and Pablo García-Risueño	#69: Optimización Automática de Rutinas de Álgebra Lineal en Clusters Heterogéneos: Un Enfoque Jerárquico, Jesús Cámara, Javier Cuenca, Domingo Giménez and Luis Pedro García	#56: Integración de un simulador implementado en software con un componente sintetizado en hardware reconfigurable, Leandro Zambrano-Méndez, Francisco Macia-Pérez, Jose Vicente Berná-Martínez, Robiert Sepúlveda-Torres and Roberto Sepúlveda-Lima
	#73: Caracterización del rendimiento de la jerarquía de memoria para SPEC CPU2006 y CPU2017, Agustin Navarro Torres, Jesús Alastruey Benedé, Pablo Ibañez Marín and Víctor Viñals Yúfera	#68: Caracterización de la inferencia en MobileNets utilizando InsideNet, Francisco Muñoz-Martínez, José L. Abellán and Manuel E. Acacio	#57: Una propuesta de diseño en un System on Chip de las interconexiones del sistema neurorregulador humano, Robiert Sepúlveda-Torres, Francisco Macia-Pérez, Jose Vicente Berná-Martínez, Leandro Zambrano-Méndez and Roberto Sepúlveda-Lima
14:00 a 15:30	Almuerzo (Cafetería del Colegio Mayor)		
15:30 a 16:15	Concurso "Tesis en Tres Minutos", Lugar: Salón de Actos "Amparo Sánchez"		

16:20 a 17:20	SARTECO-Pro: Cristina Estavillo (HP), Lugar: Salón de Actos "Amparo Sánchez"
17:20 a 17:50	Pausa Café (Aula 3.2)
17:50 a 18:30	Asamblea Sarteco, Lugar: Salón de Actos "Amparo Sánchez"
19:00 a 21:45	Visita Guiada al Centro Histórico de Teruel, Mausoleo de los Amantes e Iglesia de San Pedro
22:00	Cena de Gala (Mesón el Óvalo)

Programa general – Viernes 14

10:00 a 10:30	Registro y acreditación		
10:30 a 11:30	Keynote 4: María Jesús Garzarán, Chair: María Villarroya. Lugar: Salón de Actos "Amparo Sánchez"		
11:30 a 12:00	Pausa Café (Aula 3.2)		
12:00 a 13:20	JP: Arquitecturas del procesador, multiprocesadores y chips multinúcleo. Chair: Jesús Alastruey. Lugar: Aula 2.1	JP: Docencia en Arquitectura y Tecnologías de Computadores. Chair: Pietro Manzoni. Lugar: Aula 3.1	JCER: Docencia en sistemas empotrados y reconfigurables. Chair: Alejandro Serrano Cases. Lugar: Aula de Grados
	#33: P-FOS: Una Organización de Cache Eficiente para Procesadores Multinúcleo, Jose Pucho Lara, Salvador Petit, Julio Sahuquillo and María Gomez	#32: Programación de un juego en ensamblador CHIP-8 como actividad complementaria en la asignatura Arquitectura de Computadores, N.C. Cruz, Juana López Redondo, José Domingo Álvarez and Pilar M. Ortigosa	#3: Detección del Ruido Mediante Teléfonos Inteligentes: Determinación del Momento Adecuado para el Muestreo, Willian Zamora, Elsa Vera, Carlos Calafate, Juan-Carlos Cano and Pietro Manzoni
	#43: Producto matricial en el Intel Xeon Phi KNL en el modo Sub-NUMA Clustering 4, Ruben Laso, Francisco F. Rivera and José C. Cabaleiro	#35: Una propuesta para la docencia de dispositivos microcontroladores, Manuel Sanchez Alonso, Jose Manuel Ferrandez Vicente and Jose Manuel García Carrasco	#4: Arquitectura Servidora para la Gestión de Soluciones Basadas en Crowdsensing, Elsa Vera, Willian Zamora, Carlos Calafate, Juan-Carlos Cano and Pietro Manzoni
	#49: Exploración de métodos formales para la gestión de la energía y la temperatura en Sistemas Operativos, Pablo Hernandez Almudi, Eduardo Montijano Munoz and Darío Suárez Gracia	#42: Atomicidad, Consistencia, Paralelismo y Concurrencia en un Trazador de Rayos elaborado a lo largo del Grado en Ingeniería Informática, Alejandro Valero, Darío Suárez Gracia, Rubén Gran, Adolfo Muñoz, Joaquín Ezpeleta, José Luis Briz, Luis M. Ramos, Ana C. Murillo, Eduardo Montijano, Javier Resano, María Villarroya-Gaudó and Víctor Viñals	#64: Mejora de la recarga de los vehículos eléctricos, Vicente Torres-Sanz, Julio A. Sanguesa, Francisco J. Martinez, Piedad Garrido Picazo and Johann Marquez-Barja
	#72: PULPito: Una plataforma heterogénea ARM/RiscV para el desarrollo de un sistema operativo híbrido, Juan Andrés and Javier Garrido		
13:20 a 14:00	Clausura, Lugar: Salón de Actos "Amparo Sánchez"		
14:00 a 15:30	Almuerzo (Cafetería del Colegio Mayor)		
15:45 a 20:00	Visita Guiada a Albarracín (salida en autobús a las 15:45, llegada a Albarracín 16:15)		

Leonardo M. Reyneri (Politecnico di Torino)

Increasing tolerance to transient and permanent faults in critical systems - applications to small satellites

Descripción:

El diseño y análisis de sistemas tolerantes a fallos provocados por radiación ionizante es una disciplina cada vez más importante en la industria aeroespacial. En esta charla, en primer lugar, se presentarán y analizarán las principales fuentes de error y fallos, tanto temporales como permanentes, que tienen lugar en los sistemas críticos para la seguridad y, en particular, en el espacio. Se analizarán en profundidad los efectos de las radiaciones ionizantes que caracterizan a las misiones de satélite, tanto en sistemas analógicos como en digitales, con y sin memoria. Posteriormente, se considerarán los sistemas hardware y software para mitigar los efectos de los errores y las técnicas de protección de datos, con el objetivo de obtener sistemas integrados de bajo costo pero de alta confiabilidad. Finalmente, se presentará una técnica para la sincronización de códigos en sistemas de redundancia triple (TMR) autónomos y distribuidos.

Biografía:

Profesor de Electrónica en el Politécnico de Turín, recibió M.Sc. cum laude en el Politécnico de Turín en 1984 (Ingeniería Electrónica) y el doctorado en 1992. El Profesor Reyneri se encuentra actualmente activo en el diseño de sistemas espaciales de bajo coste y micro y mini satélites modulares para vigilancia y monitorización ambiental. Es responsable de un grupo que reúne a socios académicos e industriales, con el objetivo de desarrollar técnicas y circuitos innovadores para sistemas espaciales modulares de bajo coste. Es también uno de los desarrolladores de la arquitectura ARAMIS, que condujo al desarrollo de tecnologías innovadoras, técnicas de circuitos, aproximaciones software y métodos de prueba para micro y mini satélites de bajo coste. Algunas demostraciones de estas tecnologías innovadoras pronto se lanzarán en órbita y otras demostraciones volarán a la Estación Espacial Internacional (ISS). Ha publicado más de 240 artículos y posee 8 patentes. También ha sido editor invitado y revisor de revistas y conferencias internacionales y ha participado en comités de programa o en gestión de conferencias internacionales. También pasó algunos períodos en la Agencia Espacial Europea (3 años) y en la Universidad de Pisa (3 años), Edimburgo y la Universidad de Granada. Ha sido coordinador de varios programas nacionales de investigación, dos proyectos europeos, junto con dos grandes proyectos regionales para el desarrollo de ideas innovadoras. Actualmente colabora con el MIT en Boston (EE.UU.), SUPSI en Lugano (CH) y otras universidades europeas en el campo de nano y microsátélites.

Mateo Valero (Barcelona Supercomputing Center)

From Classical to Runtime Aware Architectures and Beyond

Descripción:

When uni-cores were the norm, Instruction Level Parallelism (ILP) and Data Level Parallelism (DLP) were exploited to increase the number of instructions executed per cycle. The main hardware approaches exploiting ILP were Very Long Instruction Word (VLIW) processors, which require to statically determine dependencies between instructions, and Superscalar designs, which dynamically detect and execute multiple independent instructions in parallel by using several execution units. Computer architects started to combine superscalar processors with pipelined, out-of-order and speculative execution to mitigate the increasingly large memory latencies. In this context, simple Instruction Set Architectures (ISA) allowed to decouple the hardware design from the software. More recently, the traditional ways to increase hardware performance to the rate predicted by the Moore's Law vanished. The integration of symmetric multiprocessors on a single chip has compensated the frequency stagnation problem. However, such kind of multi-core architectures do not decouple the hardware design from the software stack in the same easy way as uniprocessors did. They face multiple problems in terms of power consumption, programmability or memory latency. The solution is to give more responsibility to the parallel runtime system and to let it tightly collaborate with the hardware. The runtime has to drive the design of multi-core architectures. In this talk, we introduce an approach towards a Runtime-Aware Architecture (RAA), a massively parallel architecture designed from the runtime's perspective. RAA aims at supporting the activity of the parallel runtime system in three ways: First, to enable fine-grain tasking; second, to improve the performance of the memory subsystem by exposing hybrid hierarchies to the runtime; and, third, by using vector units. During the talk, we will give an overview of the problems RAA aims to solve and provide some examples of hardware components supporting the activity of the parallel runtime system. This talk also describes several ways to improve the RAA concept even more. They consist in exploiting the dynamic information available at the hardware level by using artificial intelligence approaches.

Biografía:

Mateo Valero (<http://www.bsc.es/cv-mateo>) es Ingeniero Superior de Telecomunicación por la ETSIT de Madrid en Junio de 1974 y Doctor Ingeniero de Telecomunicación por la ETSIT de Barcelona en Marzo de 1980. Desde 1983, es catedrático de la Universidad Politécnica de Cataluña (UPC). Ha publicado más de 700 artículos en el área de la arquitectura de los computadores de altas prestaciones. Director del Barcelona Supercomputing Center – Centro Nacional de Supercomputación. Entre sus premios, el premio Eckert-Mauchly 2007, otorgado por el IEEE-ACM; premio Seymour Cray 2015, otorgado por el IEEE; premio Charles Babbage 2017, otorgado por IEEE; premio “Harry H. Goode” 2009 otorgado por el IEEE; premio ACM Distinguished Service Award 2013; premio “Hall of Fame” en el marco del ICT European Program, seleccionado como uno de los 25 investigadores europeos más influyentes en IT, Tecnologías de la Información. Fellow del IEEE, Fellow distinguido de Intel y Fellow del ACM. Dos premios nacionales de investigación que son: el "Julio Rey Pastor" en Informática y Matemáticas y el “Leonardo Torres Quevedo” en Ingeniería; premio Rey Jaime I de Investigación de la Generalitat Valenciana; “Creu de Sant

Jordi 2016”, otorgado por la Generalitat de Catalunya; Premio de la Fundació Catalana Recerca e Innovació; premio Aragón concedido por el Gobierno de Aragón, “Condecoración de la Orden Mexicana del Águila Azteca” 2018 concedida por el Gobierno de México. Es académico fundacional de la Real Academia de Ingeniería de España, académico correspondiente de la Real Academia de Ciencias Exactas, Físicas y Naturales, académico de la Real Academia de Ciencias y Artes de Barcelona, académico de la Academia Europea, académico correspondiente de la Academia Mexicana de Ciencias, académico de la Academia de Ingeniería de México, académico de honor electo de la Real Academia Europea de Doctores, académico de la Academia de Gastronomía de Murcia. Es Doctor Honoris Causa de las Universidades de Chalmers, Belgrado, Las Palmas, Veracruz, Zaragoza, Complutense de Madrid, Cantabria, Granada y CINEVESTAV México. En 1998, fue elegido hijo predilecto de su pueblo, y en el año 2006, la asociación de madres y padres de alumnos de Alfamén, decidió poner su nombre al Colegio público donde el profesor Valero había estudiado.

Jesús Labarta (Barcelona Supercomputing Center)

From the latency to the throughput age

Descripción:

The talk will present a vision of the evolution of architectures and high end computing in the last years, how this is impacting the programming practices and I consider the nature of the changes that are and will happen in the next years. The fundamental assumption is that we must undergo a transition from the latency dominated age we come from to a throughput oriented age. This change holistically impacts architectures, programming models and applications, but beyond the specific technologies used at the different levels, really implies a mindset change in the actors involved at the different levels. I will present opinions on possible implications of this mindset change and how I believe it will help achieve higher productivities and system efficiency.

Biografía:

Jesús Labarta is full professor on Computer Architecture at the Technical University of Catalonia (UPC) since 1990. Since 2005 he is responsible of the Computer Science Research Department within the Barcelona Supercomputing Center (BSC). His major directions of current work relate to performance analysis tools, programming models and resource management. His team distributes the Open Source BSC tools (Paraver and Dimemas) and performs research on increasing the intelligence embedded in the performance analysis tools. He is involved in the development of the OmpSs programming model and its different implementations for SMP, GPUs and cluster platforms.

Cristina Estavillo (HP)

R&D in HP: retos, investigación y desarrollo en tecnologías de impresión

Cristina Estavillo has a strong R&D background in the firmware and software domains. She is currently R&D FW director in HP Inc labs in Barcelona, leading an organization of more than 70 SW engineers. Along her career, she has worked in new product development in different businesses and geographies.

Cristina holds a Msc in Telecommunications engineering and a Msc in Software engineering. She is also certified by Stanford University on Innovation and Entrepreneurship.

Viernes 14

María Jesús Garzarán (Intel Corporation)

Cómo Mejorar la Implementación de MPI para los Multiprocesadores del Futuro

Descripción:

MPI es el estándar de facto utilizado para la comunicación entre procesos en multiprocesadores de memoria distribuida. MPI es la librería más utilizada por la mayoría de supercomputadores del mundo, y por eso la escalabilidad de las aplicaciones depende sustancialmente de una buena implementación de MPI. En esta charla presentaré algunas de las contribuciones que Intel está haciendo a MPICH-OFI*, una implementación de MPI basada en MPICH y que utiliza OpenFabrics Interfaces (OFI*) como interfaz con la tarjeta de comunicación. Esta charla discutirá mejoras para reducir el número de instrucciones necesarias para la comunicación entre procesos, y consecuentemente reducir el coste de la comunicación. También describiré el diseño de nuevos algoritmos para realizar operaciones colectivas. En estos algoritmos, la comunicación entre nodos ha sido mejorada utilizando un planificador basado en un grafo de dependencias. Este método incrementa el nivel de paralelismo y se beneficia de comunicación a través de memoria compartida dentro del nodo. Durante la presentación, haré comparaciones con otras implementaciones de MPI que mostrarán que el nuevo diseño reduce significativamente el tiempo invertido en la comunicación.

Biografía:

María Jesús es Principal Engineer en Intel, donde lidera el equipo que contribuye a MPICH, la implementación abierta de MPI del Argonne National Laboratory. Antes de trabajar en Intel, María fue Research Professor en el Departamento de Computación de la University of Illinois, Urbana-Champaign. María Jesús se licenció en Informática de Sistemas por la Universidad Politécnica de Valencia y tiene un doctorado por la Universidad de Zaragoza. María Jesús obtuvo el Premio a la Mejor Tesis Doctoral de la Universidad de Zaragoza en 2002, ha sido galardonada con un Distinguished Paper en PLDI 2014, y con el Best Poster Award en Cluster 2015. Actualmente, María Jesús es Program Chair del Experiments Area de IPDPS 2019.