

# Mini- módulo HW de altas prestaciones, basado en Spartan6 con análisis de integridad de señal

J.M. Moreno, M. Sánchez, J.F. Cruza y L. Medina

**Resumen** - Se presenta una plataforma hardware reconfigurable que permite implementar SoCs y con la flexibilidad para cubrir las necesidades de un amplio rango de aplicaciones. El sistema tiene como elemento central una FPGA de la familia Spartan 6 de Xilinx. Para dar servicio al core se usan dispositivos de almacenamiento volátil y no volátil, además de elementos de conectividad local con líneas *single ended/differentials* e interfaz externa como USB y *Ethernet*. Dispone de fuentes de alimentación internas que la hacen muy versátil. El análisis de integridad de señal del sistema ha permitido minimizar las iteraciones diseño-fabricación-verificación, garantizando una operatividad plena.

**Palabras clave** – Hardware, HW, PCB (Printed Circuit Board), PWB (Printed Wired Board), Integridad de Señal, Signal Integrity, Configurable, FPGA (Field Program Gate Array), CSoc (Configurable System On Chip), Electronic, Ultrasound systems, NDT (Non Destructive Testing).

## I. INTRODUCCIÓN

DESDE la aparición de las FPGAs, y debido a su evolución y mejora, se han convertido en una alternativa a los ASICs para el desarrollo de sistemas digitales gracias a sus bajos costes de desarrollo y facilidad para introducir modificaciones. El caso de los sistemas en chip o SoCs no resulta ajeno a esta evolución y la capacidad de las FPGAs actuales permite su implementación, denominándose genéricamente SoPC (*System on Programmable Chip*) debido a su carácter reconfigurable. Está sobradamente demostrada su capacidad de procesamiento en sistemas *ad-hoc* o con sistemas operativos específicos, junto con los elementos necesarios para transferir esta información a un ordenador remoto con capacidad de procesamiento superior.

En este posible sistema SoC se puede implementar un procesador “*software*” como elemento central de procesamiento y control. Este procesador puede ser un core propietario del fabricante de la FPGA, cómo es el caso de MicroBlaze o un core propio *full custom*, que puede realizar tareas de control y procesamiento. En este trabajo coexisten ambas opciones, donde el primero se utiliza para gestionar las comunicaciones con un ordenador remoto y el core propio como unidad de control e interfaz de sistemas más complejos a mayor velocidad que MicroBlaze [1].

A esta plataforma se le ha dado capacidad de enlace

Gigabit *Ethernet* con objeto de dotar de conectividad externa al sistema. En este caso la MAC (*Media Access Controller*) se implementa en el interior de la FPGA mientras que el controlador de capa física es un dispositivo aparte dentro de la plataforma.

Además del enlace *Ethernet* también se ha dotado al sistema de un puerto USB 2.0 con el que se puede realizar la configuración de la FPGA y efectuar funciones de control desde un ordenador local. Para ello se ha usado un controlador USB *CY7C68013*. Esta conexión puede utilizarse como elemento de comunicación alternativo al enlace *Ethernet*.

Se ha dotado a la tarjeta de un banco de memoria dinámica DDR3 de suficiente tamaño (128MBytes) y ancho de banda (125 MHz) para poder ser compartida por los distintos bloques IPs que se implementen en el interior de la FPGA (procesador, MAC *Ethernet*, aceleradores hardware, etc.). Además de este banco de memoria la plataforma dispone de una memoria flash en la que se almacena el código de la aplicación a ejecutar por parte del procesador embebido con capacidad de hasta 16 MBytes.

El banco de memoria DDR3 se utiliza durante el funcionamiento operativo del sistema, para almacenar datos, el Stack TCP/IP, o el código para el procesador. La memoria *flash* no volátil puede almacenar el código de programa, de datos y/o de configuración de la FPGA. En resumen almacenar el *bootloader* necesario para iniciar la aplicación.

Además el sistema está dotado de una memoria *flash* serie SPI, que almacenará el *stream* de configuración de la FPGA para aquellas aplicaciones autónomas en las que no se realiza tal operación mediante la conexión USB y que es capaz de inicializar la FPGA por sí sola o hacer cargar su configuración desde el *bootloader* almacenado en la FLASH paralela.

Para abordar éste diseño donde intervienen dispositivos de altas prestaciones, es necesario un análisis de integridad de señal (frecuentemente ignorado en el desarrollo de HW electrónico) en los elementos que trabajan a frecuencias elevadas y en particular en aquellos cuyas señales tengan tiempos de transición en las conmutaciones del orden de unidades de nanosegundo.

Este análisis se hace imprescindible para abordar diseños de manera fiable donde intervengan elementos como: FPGAs, memorias dinámicas DDRx, DSPs y ADCs de altas prestaciones, interfaces de comunicación USB, PCI, PCI express y transmisiones LVDS, Gigabit Transceiver, etc.

El diagrama de bloques genérico del sistema obtenido se muestra en la Fig.1.

(1) Consejo Superior de Investigaciones Científicas  
La Poveda (Arganda del Rey), 28500 Madrid  
e-mail: [jm.moreno@csic.es](mailto:jm.moreno@csic.es)

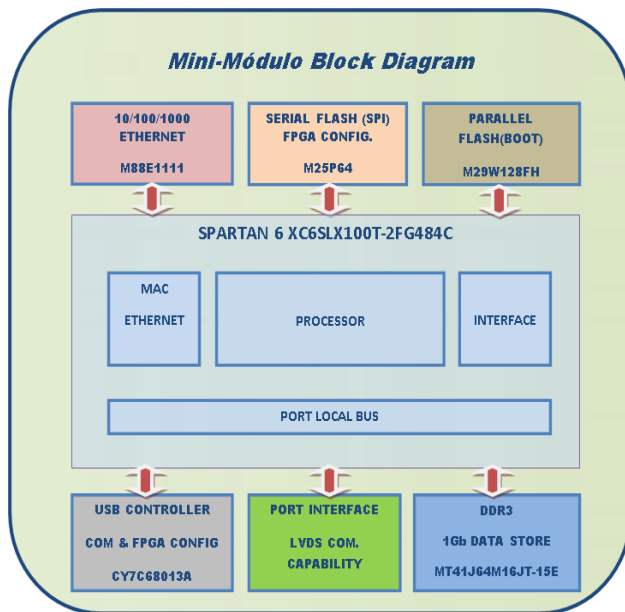


Fig.1.- Diagrama de bloques del sistema.

## II. REQUISITOS Y LÍMITES TECNOLÓGICOS

Con el objetivo de obtener una solución lo más flexible posible para diversas aplicaciones, se ha buscado dotar al sistema con capacidades no básicas:

- Capacidad alta de configurabilidad.
- Velocidad de conectividad alta.
- Velocidad de procesamiento, almacenamiento y transferencia elevada.
- Espacio reducido.
- Sistema autónomo.
- FPGA de última generación.
- Alimentación externa única (+ 4-8V).

La justificación que ha llevado a su desarrollo e implementación ha venido precedida debido a que los sistemas comerciales no abarcan todos los requisitos de capacidad y funcionalidad necesarios. El disponer de un sistema propietario facilita evitar la obsolescencia o deslocalización.

Para cumplir con los requisitos de espacio reducido, autonomía, alimentación única y velocidad de operación elevada, se ha tenido que llegar al límite de la capacidad de fabricación de PCBs (clase 7) y de las dimensiones de los encapsulados de los dispositivos que proporcionan los fabricantes de CIs (Circuitos Integrados). El diseño se ha integrado en un PCB del tamaño de una tarjeta de crédito.

El análisis de integridad de señal ha sido doble: previo y posterior al diseño. Esta metodología garantiza un correcto funcionamiento del PCB. Se ha prestado una especial atención a las conexiones FPGA-memoria dinámica DDR3, por ser el dispositivo con los requisitos temporales más exigentes. En efecto la frecuencia de trabajo de este dispositivo se sitúa entorno a los 400MHz en los buses de datos, direcciones y control.

Se puede confirmar que el estudio de integridad de señal como método de aprobación de un diseño reduce el coste y el tiempo en tener validado un diseño. Porque

el ciclo diseño- fabricación-validación de prototipos del PCB se minimiza considerablemente.

## III. POSIBLES APLICACIONES

A continuación se enumeran algunas de las múltiples aplicaciones en las que se puede utilizar este sistema:

- Sistemas de control en tiempo real. Con o sin sistema operativo.
- Sistemas de imagen ultrasónica (uso actual del grupo).
- Procesado digital de señal.
- Plataforma empotrada de aprendizaje.
- Plataforma empotrada para sistemas industriales OEM.
- Desarrollos de SoCs.
- Múltiples aplicaciones electrónicas...

## IV. IMPLEMENTACIÓN FÍSICA

Las especificaciones finales implementadas son las siguientes:

- Sistema central => FPGA Spartan6:
  - Procesador MicroBlaze y/o core personalizado.
  - Controlador de memoria DDR3.
  - Controlador MAC para Ethernet.
  - I/O LVDS INTERFACE.
- Controlador USB 2.0.
- Controlador capa física Ethernet.
- Memoria SDRAM DDR3 (128MByte/1Gbit).
- Memoria Flash para bootloadeer (16MByte/128Mbit).
- Memoria SPI Flash para la configuración (4Mbyte/32Mbit).
- Una sola entrada de alimentación (4-8V 5A).
- Cinco fuentes de alimentación internas con capacidades máximas de consumo, según se indican (0.75V-2A, 1.2V-3A, 1.5V-3A, 2.5V-3A, 3.3V-3A), suficientemente dimensionada para los consumos reales.
- Configurable mediante JTAG, USB y Flash SPI.

Todo ello conforma un sistema de alta densidad de integración HDI (High Density Integration) de dimensiones reducidas de tarjeta, ver Fig.2, implementado en un stack-up de 14 capas de PCB, como se puede observar en la Fig.3.



Fig. 2 Mini-Modulo HW de altas prestaciones y de espacio reducido

Conocidas las restricciones del fabricante de PCBs para tarjetas de clase 7, la Fig.4 muestra las impedancias controladas por capa necesarias para poder asegurar la integridad de señal en cada una de ellas.

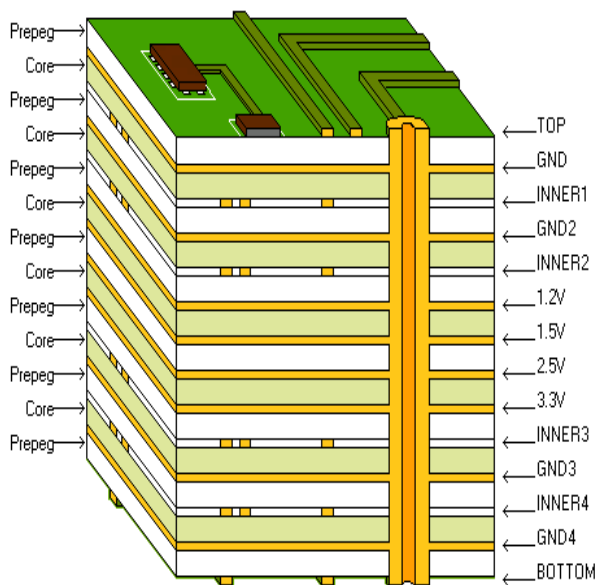


Fig. 3 Stack Up del sistema

## V. INTEGRIDAD DE SEÑAL

El análisis de integridad de señal debe incluir todos los efectos de diseño electrónico que pueden causar un mal funcionamiento debido a la distorsión de las formas de onda de la señal [2].

Un estudio de integridad de señal implica considerar la distribución de señales digitales y analógicas de una parte del circuito a otro, de manera que la información contenida sea transportada de forma determinística y fiable [3].

Este estudio se requiere con diseños de PCBs de alta velocidad [4]. Una señal es rápida no sólo cuando su frecuencia es alta, sino también cuando las señales conmutan en menos tiempo que el necesario para que la señal viaje a lo largo del conductor [5]. A modo de ejemplo, si se usan señales de frecuencia no elevada, pero las transiciones en las conmutaciones son de 1 ns,

sería como manejar una frecuencia de  $1/(\pi \cdot 1 \text{ ns}) = 318\text{MHz}$  [2].

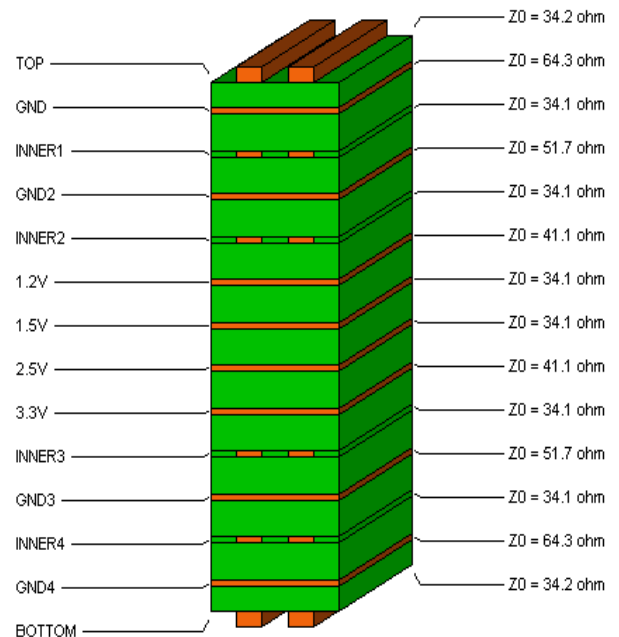


Fig. 4 Impedancias del Stack Up

Hasta hace poco tiempo las pistas y capas de un PCB se consideraban elementos totalmente pasivos [6]. La realidad ha demostrado que esto no es así. Con la tecnología actual donde la miniaturización ha llegado al máximo y las frecuencias de señales que se manejan son elevadas, es necesario preocuparse por los elementos parásitos propios de las pistas como son: resistencias, capacitancias e inductancias y de la interacción que pueda existir entre pistas, o entre estas y elementos externos al PCB [5]. Por lo tanto, en el estudio de integridad de señal hay que cubrir lo referente a:

- EMI (interferencias electromagnéticas externas efectos inductivos).
- Crosstalk (interferencias internas, por efectos capacitivos e inductivos).
- Reflexiones y ringing (rizado) en Líneas de Transmisión.
- Desacoplo de alimentaciones.

También se indica que una de las primeras causas de los problemas de integridad de señal es que normalmente el diseñador se preocupa más del ruteo de las pistas de señales “activas” y se despreocupa del retorno o los planos de retorno [6]. El uso de planos de referencia mejora en gran medida la integridad de señal.

Los síntomas que pueden indicar que existen problemas de integridad de señal son:

- El diseño no pasa los controles de las normativas de calidad en la certificación.
- El diseño falla aleatoriamente sin un patrón determinado.
- El diseño no funciona.
- El diseño es sensible a variaciones pequeñas en las fuentes de alimentación.

- El diseño trabaja en el laboratorio, pero no en “campo”.

Estos “síntomas” son bastante desconcertantes y sus causas difíciles de determinar. Un estudio de integridad de señal previo y que condicione el diseño de los PCBs puede evitar estas situaciones.

La forma de abordar el diseño del mini-módulo HW de altas prestaciones, para poder validarlo con el estudio de integridad de señal ha seguido el proceso o diagrama de la Fig. 5.

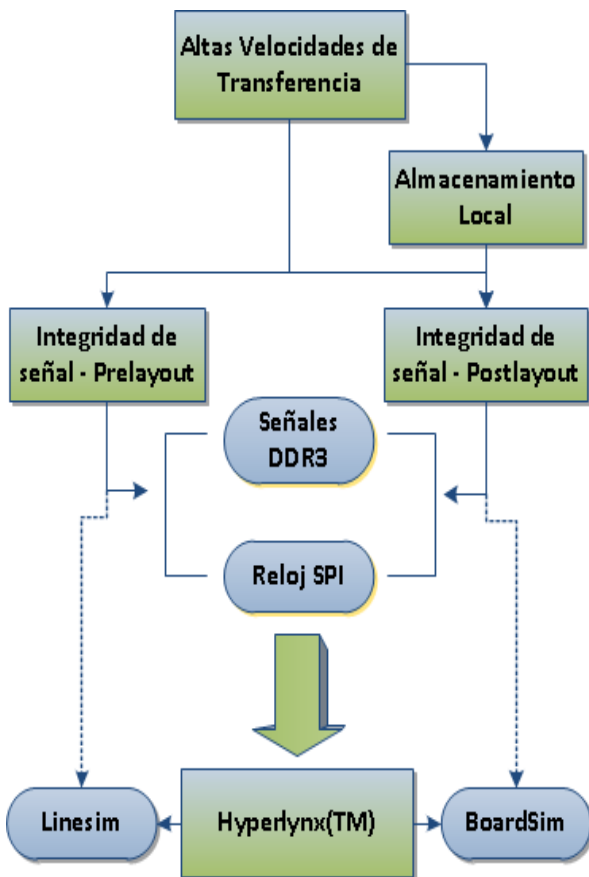


Fig. 5 Diagrama del proceso de estudio de Integridad de señal de la DDR3.

Actualmente existen herramientas de simulación lo suficientemente potentes como para confiar en los resultados de comportamiento futuro del PCB y el diseño realizado para altas frecuencias. Para ello estas herramientas necesitan modelos de comportamiento funcional y físico de los CIs.

#### A. Análisis Pre-Layout

El análisis *Pre-Layout* y posterior al diseño electrónico a nivel de captura de esquemas, y que es el análisis previo a realizar el PCB, permite facilitar, una vez determinado el *stack-up* de fabricación: longitudes de pista, capas a atravesar, vías a usar, longitud máxima de *stubs*, terminaciones para reducir rizado, separación entre pistas para evitar *crosstalk*, planos de masa y desacoplos de alimentación (con *Power Integrity*).

En la Fig.6a se muestra una línea de transmisión representada con la herramienta de análisis *pre-layout*.

Design File: DDR\_D15.fs  
Hyperlynx LineSim v8.1.1

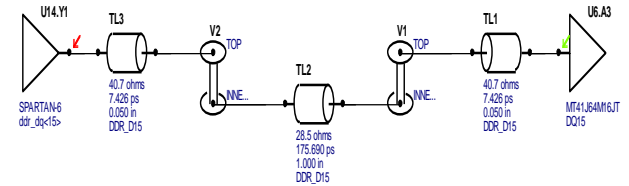


Fig. 6a Representación de una Línea de TX de un trazado de una pista.

La Fig.6b representa el análisis de diagrama de ojo que verifica el correcto diseño de una línea de datos entre el controlador de memoria de la Spartan6 y la memoria DDR3.

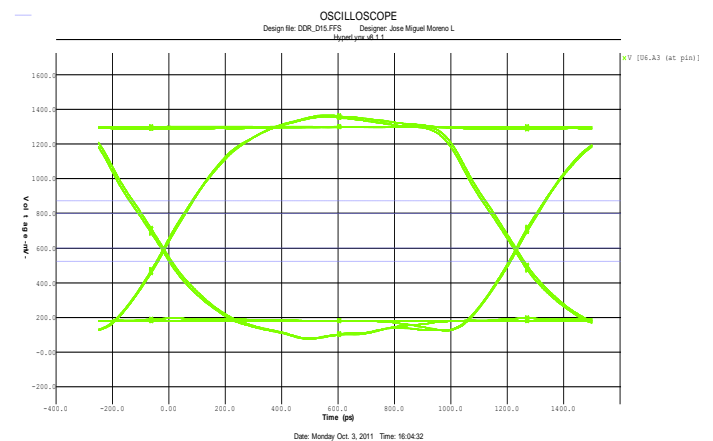


Fig. 6b Respuesta de diagrama de ojo y Densidad de ojo.

Según la Fig. 6c que representa la densidad del diagrama de ojo muestra la respuesta determinista de la línea.

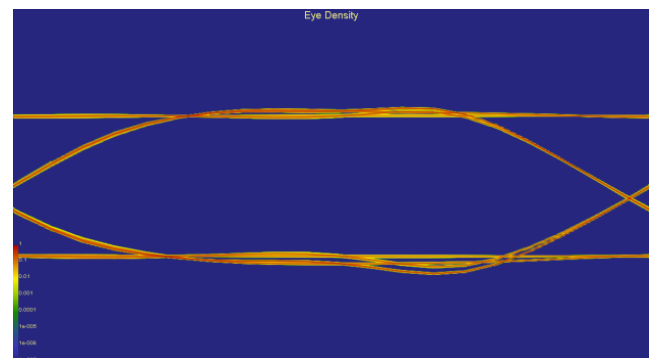


Fig. 6c Densidad de ojo.

La verificación de las líneas de intercomunicación entre DDR3 y FPGA se debe hacer individualmente. Se hace un estudio previo para prever las longitudes, los cambios de capa, vías a usar, y distancias entre pistas contiguas, intentando adelantar lo que posteriormente va a llevar a cabo en el layout. Este análisis previo debe condicionar el trazado de las pistas para la realización del circuito impreso.

#### B. Análisis Post-Layout

El análisis *Post-Layout* de integridad de señal es el más importante, dado que es el más próximo a la

realidad antes de tener fabricada la tarjeta y poder probar con ella.

En estas simulaciones lo que se busca es comprobar que las medidas tomadas para el ruteo y consejos de integridad de señal seguidos con anterioridad están cumpliendo sus objetivos.

La metodología seguida para la verificación del diseño, se muestra en la Fig.7.

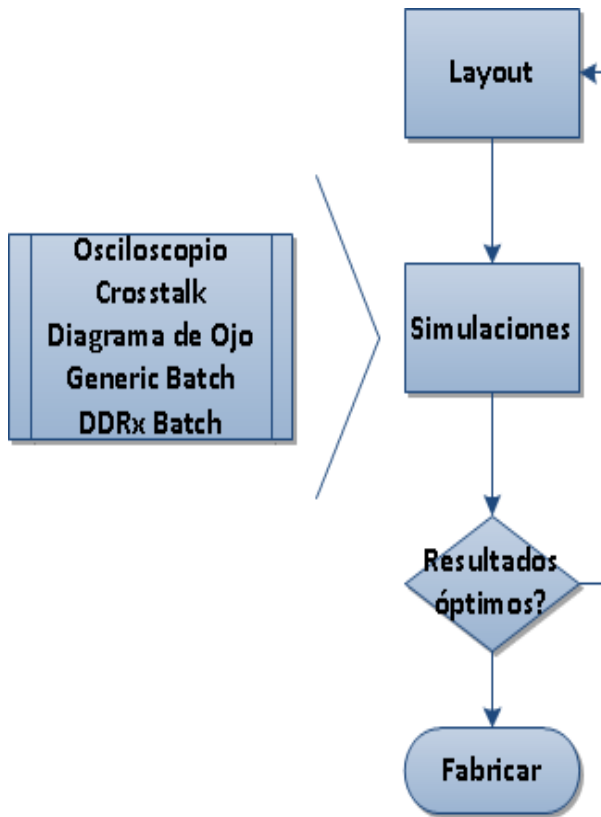


Fig. 7 Diagrama del proceso de análisis de Integridad de señal para la DDR3

La secuencia resume el proceso seguido para la comprobación de cada una de las líneas de TX que intervienen en la transferencia entre la FPGA y la DDR3. Dicha comprobación requiere un estudio individual y manual para cada una de las líneas con sus diagramas de ojo, crosstalk y osciloscopio virtual. Y de forma conjunta y automática, con el *Generic Batch* que es un análisis global de todas las líneas. Finalmente el *DDRx Batch Simulation* hace una simulación y análisis de funcionamiento para la DDR3 específica. Este último análisis es el que sirve finalmente para validar el diseño si la simulación no ha resultado con errores.

A continuación se muestra en la Fig8a el trazado de una línea bajo análisis *post layout* del PCB.

En la Fig. 8b el comportamiento en diagrama de ojo de una línea de datos en el análisis *post-layout*.

La Fig. 8c representa la densidad del diagrama de ojo que verifica un patrón determinista de la línea.

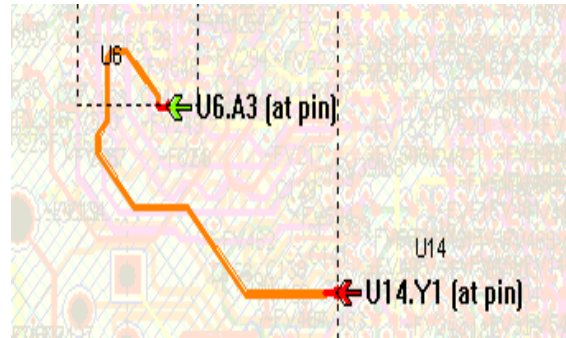


Fig. 8a Representación de la línea bajo análisis del PCB

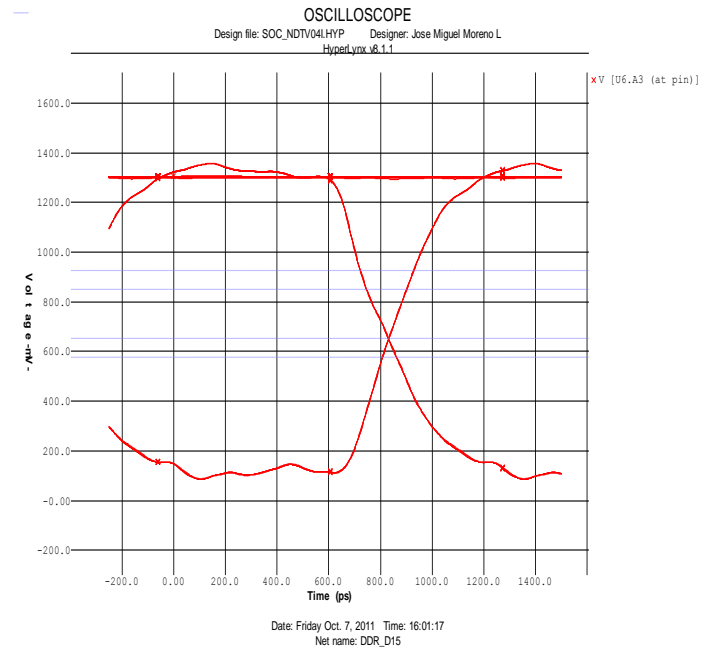


Fig. 8b Análisis Diagrama de Ojo de una línea de datos post-layout

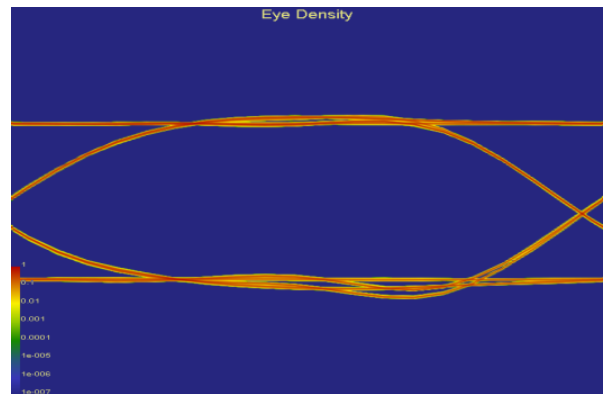


Fig. 8c Análisis Densidad de Ojo de una línea de datos post-layout

Tras validar cada una de las líneas se hace una simulación global mediante el *DDRx Batch Simulation* para determinar si el diseño tiene o no tiene errores de integridad de señal en la comunicación entre la DDR3 y la FPGA. En este análisis se puede fijar la velocidad de transferencia de datos a simular. En la plataforma hardware presentada se ha validado las transferencias de datos para trabajar hasta 800MT/s:

#### GENERAL ERRORS REPORT

```
*****
*****
Net DDR_CK1:      No errors;
Net DDR_LDQS0:   No errors;
Net DDR_UDQS0:   No errors;
Net DDR_A0:      No errors;
.....
Net DDR_BA0:     No errors;
.....
Net DDR_D0:      No errors;
```

Estos resultados indican que se ha hecho un trazado de pista correcto para la DDR3 soportando mayores velocidades de las que se va a trabajar ya que el ancho de banda máximo que soporta el controlador de memoria de la FPGA es de 667MT/S.

#### VI. CONCLUSIONES

Con todo lo expuesto se puede decir que el diseño de circuitos de alta velocidad, requiere un esfuerzo de estudio de integridad de señal antes del prototipado, para intentar minimizar los posibles errores. Asimismo dicho análisis reduce, el tiempo y el coste del desarrollo de prototipos totalmente operativos para sistemas reconfigurables de altas prestaciones.

Cabría añadir la importancia que tiene, para minimizar fallos, la correcta fabricación y montaje del PCB. Debido al uso de tecnología de 0.5mm de separación entre *pads* (*pitch*) en algunos componentes y a la inserción de vías bajo *pads* la empresa encargada de la fabricación tiene que tener un alto grado de recursos tecnológicos y cualificación en los recursos humanos, para completar dicha tarea con la suficiente fiabilidad.

#### VII. TRABAJOS FUTUROS

El sistema diseñado puede perfeccionarse con las mejoras siguientes que harán que sea un equipo aún más versátil y potente:

- Incorporar al sistema la posibilidad de usar los Rocket I/O, a través de los cuatro puertos que la FPGA Spartan6, tiene disponibles en los GTP transceivers de alta velocidad hasta 2.5Gbps.
- Gigabit Ethernet x10. Estudiar la posibilidad de incorporar al sistema un controlador Gigabit Ethernet x10, 10Gbps.
- DDR3 a frecuencias superiores 1033MT/s, mejorar el diseño para conseguir transferencias de datos de mayor velocidad entre la FPGA y la DDR3.
- Mayor capacidad de interfaz con la FPGA. Para ello habría que aumentar el número de terminales de ésta, saltando a la versión de 676 pines.
- Incorporar la conectividad USB3.0, con la que se conseguirían transferencias a mayor velocidad (nominal 4.8Gb/s).
- Añadir un conversor USBx-JTAG dentro del sistema para evitar el uso de sondas externas.

#### AGRADECIMIENTOS

El presente trabajo ha sido financiado mediante el proyecto CICYT DPI2010-17648 y por el ARTEMIS 52009/DPI-1802 de la Comunidad de Madrid.

#### REFERENCIAS

- [1] Jose Miguel Moreno, Luis Medina, J. Brizuela, Jorge F. Cruza, Carlos Fritsch, 2012. Unidad de Control e Interfaz. JCRA 2012.
- [2] Douglas Brooks, 2003. Signal Integrity Issues and Printed Circuit Board Design. Prentice Hall. ISBN 0-13-141884-X.
- [3] Clyde F. Combs, Jr., 2008. Printed Circuit Handbook, 6<sup>th</sup> Edition. McGraw-Hill. ISBN 0-07-151079-6.
- [4] Mitzner Kraig, 2007. "Complete PCB Design Using OrCAD Capture and Layout", Newnes of Elsevier Inc.
- [5] Bogatin, Eric, 2003. "Signal Integrity Simplified", Prentice Hall. ISBN 0-13-066946-6.
- [6] Johnson, H. W., and & Graham, M, 1993. "High-Speed Digital Design." Prentice Hall.