

# Programa detallado de sesiones

## XII Jornadas de Computación Reconfigurable y Aplicaciones 2012

Sesion #1 – Miércoles 19 de Septiembre – 12:00 a 13:30 – Aula: 0.3 - Moderador:

### Plataformas, Verificación y Test

[1] High performance HW Mini-Module based on Spartan6 with signal integrity analysis  
José Miguel Moreno Llamas, Luis Medina Valdés

[2] Interface Control Unit, Jose Miguel Moreno Llamas, Luis Medina Valdés

[3] Ambiente de pruebas para verificación y cobertura funcional con metodología UVM  
Susana Ortega, Juan Jose Raygoza, Federico Sandoval, Adrián Pedroza, Miguel Carrasco

[4] NESSY: Una implementación de una plataforma de inyección de errores de bajo coste en una FPGA Virtex-5, Felipe Serrano, Víctor Alaminos, Juan Antonio Clemente, Hortensia Mecha

[5] FT-UNSHADES2: A Platform for early evaluation of ASIC and FPGA dependability using partial reconfiguration, Hipólito Guzmán-Miranda, Javier Nápoles, Juan Manuel Mogollón, Javier Barrientos, Luis Sanz y Miguel A. Aguirre

Sesion #2 – Miércoles 19 de Septiembre – 15:00 a 16:30 – Aula: 0.3 - Moderador:

### Aritmética Computacional

[1] Diseño de Unidades Aritmético Lógicas sobre cuerpos  $GF(2^m)$  para aplicaciones Criptográficas, Luis Parrilla, Encarnación Castillo, Antonio García, Joaquín Olivares, José Manuel Palomares

[2] Calculation Method for Trigonometric Functions in FPGAs, Andrés Figueroa, Juan Jose Raygoza, Ehecatl J. Chávez, Susana Ortega, Jorge Rivera, Bernardino Castillo

[3] Floating Point FPGA Cores: Multiplication and Addition, Gustavo Sutter, Diego Sánchez-Román, Víctor Moreno, Jean-Pierre Deschamps, Sergio López-Buedo, Francisco Gómez-Arribas and Iván González

[4] Determinación del tiempo de vuelo en sistemas PET basados en FPGAs, Jose Torres, Raimundo García, Julio Martos, Jesús Soret, Albert Aguilar, Pedro Martínez, Iván Leiva

[5] Diseño, construcción y control de maqueta de levitación magnética utilizando una FPGA, Juan Suardíaz Muro, Basil M. Al-Hadithi, Sergio Gallardo Vázquez, Juan Antonio López Riquelme, Nieves Pavón Pulido

Sesion #3 – Jueves 20 de Septiembre – 10:00 a 11:30 – Aula: 0.3 - Moderador:

### Visión y Procesado de Imagen

[1] Implementación de algoritmos de compresión de imágenes en FPGAs, Federico García, Otoniel Granado López, Juan Jose Abellán Pérez

[2] Implementación sobre FPGA de un algoritmo de etiquetado en tiempo real, Elisa Calvo, Piedad Brox, Santiago Sánchez

[3] Banco de test hardware para video streaming en FPGA, David Hernández, Manuel Rodríguez, Fernando Pérez, Eduardo Magdaleno

[4] Hardware reconfigurable para la recuperación de imágenes transmitidas por un mazo de fibras incoherente, Alfredo Gardel, Ignacio Bravo, Pedro Fernández, José L. Lázaro and Pablo Montejo

[5] Evaluación de algoritmos de correspondencia estereoscópica y su implementación en FPGA, Carlos Colodro, Javier Toledo, J. Javier Martínez, Javier Garrigós, José M. Ferrández

Sesion #4 – Jueves 20 de Septiembre – 15:00 a 16:30 – Aula: 0.3 - Moderador:

### **DSP, Seguridad y Comunicaciones**

- [1] Biprocesador MicroBlaze para gestión de claves de grupos de usuarios, Jose M. Granado-Criado, Miguel A. Vega-Rodríguez, Juan M. Sánchez-Pérez, Juan A. Gómez-Pulido
- [2] Tendencias actuales de la lógica reconfigurable en sistemas radar, Patricia López-Rodríguez, Raúl Fernández-Recio and Ignacio Bravo
- [3] Comunicaciones Multigigabit para SoC basado en FPGA, Manuel Sánchez, Luis Medina, Raúl Mateos
- [4] Clasificación de Flujos de Comunicación en Redes de 10 Gbps con FPGAs, Marco Forconesi, Gustavo Sutter, Sergio López-Buedo, Cristian Sisterna
- [5] Acelerador hardware de simulaciones de códigos LDPC basado en FPGAs, Fabián Angarita, Asunción Pérez-Pascual, Trini Sansaloni, Javier Valls

Sesion #5 – Viernes 21 de Septiembre – 10:00 a 11:30 – Aula: 0.3 - Moderador:

### **Metodologías y Herramientas**

- [1] A Partition Model using Partial Reconfigurable Hardware for ChipCflow Project  
Jorge Silva, Francisco Junior
- [2] Arquitectura de módulos reutilizables para DSP con orientación a objetos en VHDL  
Álvaro Gámez Machado, Javier Gismero Menoyo, Alberto Asensio López
- [3] Flujo de desarrollo de sistemas reconfigurables escalables sobre FPGAs  
Julián Caba, Julio Daniel Dondo, Fernando Rincón, Juan Carlos López
- [4] Monitorización en Tiempo de Ejecución para Sistemas Críticos Empotrados  
David Fernández García-Valdecasas, José Luis Gutiérrez Rivas, Javier Díaz Alonso

Sesion #6 – Viernes 21 de Septiembre – 12:00 a 13:30 – Aula: 0.3 - Moderador:

### **Aplicaciones**

- [1] An algorithm for high-density n-dimensional data categorization in FPGA, Javier Castillo, Javier M. Moguerza, Pablo Huerta, José Ignacio Martínez, Javier Cano
- [2] High Level Library for fast developing pipelined data paths on FPGA: Case study of tool path computation, Jose Pérez-Martínez, Antonio Jimeno-Morenilla, Sergio Cuenca-Asensi, José-Luis Sánchez-Romero
- [3] Diseño e implementación de un controlador domótico reconfigurable basado en hardware y software libre, Jonathan Ruíz Páez, José Ignacio Villar de Ossorno, Manuel Jesús Bellido Díaz, David Guerrero Martos, Julián Viejo Cortés, Paulino Ruiz-De-Clavijo Vázquez, Jorge Juan Chico
- [4] Desarrollo de un sensor de visión para aprendizaje por refuerzo en robótica, Rocío Guasch, Sergio Cuenca-Asensi, Tomás Martínez